

## ゲート絶縁膜を利用したMOSキャバシタ

⑩ 日本国特許庁 (JP)

⑪ 特許出願公開

## ⑫ 公開特許公報 (A) 昭62-10619

⑬ Int. Cl.

G 02 F 1/133  
 G 09 F 9/35  
 G 09 G 3/36  
 H 01 L 27/12

識別記号

118  
 129

厅内整理番号

D-8205-2H  
 B-7348-2H  
 6810-5C  
 8621-5C  
 7514-5F

⑭ 公開 昭和62年(1987)1月19日

審査請求 未請求 発明の数 1 (全5頁)

⑮ 発明の名称 アクティブマトリクスパネル

⑯ 特願 昭60-150517

⑰ 出願 昭60(1985)7月9日

⑱ 発明者 三澤 利之 阪訪市大和3丁目3番5号 株式会社阪訪精工舎内

⑲ 出願人 セイコーエプソン株式 東京都新宿区西新宿2丁目4番1号  
会社

⑳ 代理人 弁理士 最上 務

## 明細書

## 1 発明の名称

アクティブマトリクスパネル

## 2 特許請求の範囲

(1) 複数のデータ線、複数のゲート線、該ゲート線によって導通・非導通を切替される薄膜トランジスタ群及び該薄膜トランジスタ群を介してデータ線に接続される液晶セル群より成るアクティブマトリクスパネルにおいて、

前記液晶セルより成るキャバシタと並列に、前記薄膜トランジスタのゲート絶縁膜と同一構造の絶縁膜を用いて形成されたMOSキャバシタを設けたことを特徴とするアクティブマトリクスパネル。

(2) 前記MOSキャバシタは、一方の電極を固定電極に、他方の電極を、該方向に偏振する液晶のゲート線又は一定電位のラインに接続したことを特徴とする特許請求の範囲第1項記載のアクティブマトリクスパネル。

(3) 前記MOSキャバシタのアブストレートは不純物ドープされないシリコン薄膜としたことを特徴とする特許請求の範囲第1項記載のアクティブマトリクスパネル。

(4) 前記MOSキャバシタのアブストレートはアモルファイト又はメタルに不純物ドープされたシリコン薄膜としたことを特徴とする特許請求の範囲第1項記載のアクティブマトリクスパネル。

## 3 発明の詳細な説明

## 〔産業上の利用分野〕

本発明は、薄膜トランジスタ（以下、TFTと略記する）を用いて構成されたアクティブマトリクスパネルに関する。

## 〔発明の概要〕

本発明は、TFTによって液晶を駆動して成るアクティブマトリクスパネルにおいて、前記液晶より成るキャバシタを並列に、前記TFTと同一の構造を有するMOSキャバシタを設けることによって、液晶容量を見かけ上増大させ、表示性能

特開昭62-10619(2)

を向上させるものである。

〔従来の技術〕

アドミスをスイッチング素子として利用したアクティピマトリクスピネルにおいて、従来、1箇所分の電源部は、第7図に示す様に、データ線1、ゲート線2、アドミス及び液晶セル4によって構成されていた。従来のアクティピマトリクスピネルは、薄膜トランジスタを構成要素として用いることによって、例えば、文献「商品化された液晶パケット・カラー・テレビ」(日経エレクトロニクス、1984年9月10日号)に述べられている様な良好な性能を得ていた。しかし、電源寸法をより微細なものとし、より高精細なディスプレイを実現しようとすると、以下に示す様な問題が発生化していく。

〔発明が解決しようとする問題点及び目的〕

従来のアクティピマトリクスピネルにおいて、一箇所の寸法が既に底辺、横幅、アドミスのオン抵抗がヨリ、オフ抵抗がヨリ、液晶セルの容量がヨリであったとする。ここで、前述の従来ペネルに対

を解決し、良好なコントラストを有し、かつ高精細なアクティピマトリクスピネルを提供することを目的とする。

〔問題点を解決するための手段〕

前述のごとく保持時間が短縮されるのを防ぐため、アクティピマトリクスピネル内に、アドミスのゲート絶縁膜と同一構造のMOSキャバシタを形成し、液晶セルの見かけ上の容量値を増加させる。

〔作用〕

アドミス基板内に作り込み MOSキャバシタの容量値をヨリとすると、寸法を $\frac{1}{4}$ に縮小したアクティピマトリクスピネルの一箇所の容量は $\frac{1}{4} \times 0.1 + 0.1$ となる。従って、非選択時の時定数は $R_1 (\frac{1}{4} \times 0.1 + 0.1)$ となり、原来に貯えられた電荷の保持時間が短縮されるのを防ぐことが可能となる。この結果、コントラスト不良、クロストーク等を招くことなく、アクティピマトリクスピネルの高精細化を実現することが出来る。

〔実施例〕

以下、図面に基づいて本発明の実施例を詳細に

して、断面寸法を変えずに平面的な寸法の縮小を試みる。(断面寸法を変えるためには、アドミスの周囲プロセスの再構築と液晶のリターデーションによるコントラストの低下に対する対策が必要であり、大変な困難を伴う。) 仮に縮小率を $\frac{1}{4}$ とすると、新しいアクティピマトリクスピネルの断面寸法は、底辺 $\frac{1}{4}$ 、横幅 $\frac{1}{4}$ となる。また、アドミスのオン抵抗、オフ抵抗は、それぞれ $\times 4$ 、 $\times 4$ と変わらず、液晶セルの容量は $\frac{1}{4}$ となる。即ち、アクティピマトリクスピネルを平面的に縮小することによって、原来選択時の時定数は $R_1 O_1 - \frac{1}{4} R_1 O_1$ に減少し、原来非選択時の時定数は $R_1 O_1 - \frac{1}{4} R_1 O_1$ に減少する。このため、原来への信号の書き込み時間が短くなる反面、原来に貯えられた電荷の保持時間が $\frac{1}{4}$ に短縮され、液晶セルに印加されている電圧の実効値が減少する。このことは、アクティピマトリクスピネルに、コントラスト不良、クロストーク等の表示不良を引き起す。

本発明は、以上に述べた様な、断面寸法の微細化に伴うアクティピマトリクスピネルの表示不良

説明する。

第6図に、アクティピマトリクスピネルの全体図を示す。同図において、5, 6, 7はゲート線、8, 9, 10はデータ線、11, 12, 13, 14は薄膜トランジスタ、15, 16, 17, 18は液晶セルである。アクティピマトリクスピネルの動作については、文献「商品化された液晶パケット・カラー・テレビ」(日経エレクトロニクス、1984年9月10日号)に詳しく述べられている。

第1図は、本発明のアクティピマトリクスピネルの構成を示した図である。同図において、19はゲート線、20はデータ線、21は薄膜トランジスタ、22は液晶セル、23は薄膜トランジスタ21と同一構造のMOSキャバシタ、5, 6は液晶セルの対向電極である。MOSキャバシタ23のゲート25は、薄膜トランジスタ21及び、液晶セル22に接続され、MOSキャバシタ23のナブストレートは、一定電位のライン24に接続される。

特開昭62-10619(3)

第1図のアクティブラトリクスパネルの断面構造の一例を第3図に示す。第3図において、26は透明基板、27, 28は第1のシリコン薄膜、29, 30はゲート絶縁膜、31, 32は第二のシリコン薄膜、33は層間絶縁膜、34は透明導電膜、35は液晶、36は対向電極である。27, 29, 31は、それぞれ、薄膜トランジスタ21のサブストレート、ゲート絶縁膜、ゲートであり、28, 30, 32は、それぞれ、MOSキャバシタ23のサブストレート、ゲート絶縁膜、ゲートである。

第2図は、本発明のアクティブラトリクスパネルのもう一つの構成を示した図である。両間にについて、37はゲート線、38はデータ線、39は薄膜トランジスタ、40は液晶セル、41は薄膜トランジスタ39と同一構造のMOSキャバシタ、57は液晶セルの対向電極である。MOSキャバシタ41のサブストレート42は、薄膜トランジスタ39及び液晶セル40に接続され、MOSキャバシタ41のゲート43は一定電位のライン

位線62, 63はMOSキャバシタ44, 45が0V状態となる電位に固定される。

第6図は、第5図と異なり、定電位線を接続したゲート線で代用する。この場合、MOSキャバシタ69, 70が常に0V状態とはならず、前記MOSキャバシタは、電荷を保持する働きをしない。この問題を解決するため、MOSキャバシタ69, 70のサブストレートに選択的にP型又はN型の不純物イオンをドープする。即ち、第5図及び第4図において、MOSキャバシタのサブストレート28及び47にP型又はN型の不純物をドープした構造とする。

#### (発明の効果)

アクティブラトリクスパネルを本発明を用いて構成することによって、画素を簡素化・高密度化した際に生ずる保持時間の減少によるコントラストの低下、クロストーク等の表示性能の劣化を防止することが可能となる。

本発明は、電荷保持用のキャバシタを、液晶セルと共に並列に、薄膜トランジスタのゲート絶縁膜と

44に接続される。

第2図のアクティブラトリクスパネルの断面構造の一例を第4図に示す。第4図において、45は透明基板、46, 47は第1のシリコン薄膜、48, 49はゲート絶縁膜、50, 51は第2のシリコン薄膜、52は層間絶縁膜、53は透明導電膜、54は液晶、55は対向電極である。46, 48, 50は、それぞれ、第2図の導電トランジスタ39のサブストレート、ゲート絶縁膜、ゲートであり、47, 49, 51は、それぞれ第2図のMOSキャバシタ41のサブストレート、ゲート絶縁膜、ゲートである。

第5図及び第6図は、第1図の定電位線24及び第2図の定電位線44の構成を示した図である。第5図及び第6図では、便宜上MOSキャバシタを第1図の構成で示してあるが、これを第2図の構成に置き換えて本発明の主旨に反しない。

第5図は、端方向に設けた二つの画素を示した図であり、58, 59, 60はゲート線、61はデータ線、62, 63は定電位線である。定電

同一の構造で形成することにより、前記電荷保持用キャバシタの単位面積当たりの容量値を大きなものとすることが出来る。従って、画素内に占める電荷保持用キャバシタの面積比は小さくて済む。

また、電荷保持用のMOSキャバシタを常に0V状態に保つための定電位線を設けたことによつて、電荷保持用キャバシタを作るための特別な製造プロセスを一切必要とせず、従来どうりのプロセスで製造可能となる。

一方、MOSキャバシタのサブストレートに不純物をドープする構造を採用すれば、製造プロセスは一工程増えるものの簡便する画素のゲート線を用いてMOSキャバシタを形成出来、画素の漏泄率は大きく保たれる。

#### 4. 図面の簡単な説明

第1図は本発明のアクティブラトリクスパネルの構成図。

第2図は本発明のもう一つの構成図。

第3図、第4図は、それぞれ、第1図、第2図

特開昭62-10619(4)

に示した本発明のアクティブマトリクスパネルの断面図。

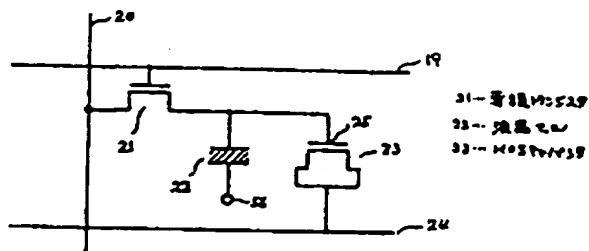
第5図、第6図は、本発明のアクティブマトリクスパネル中のモリスチャーベシタの構成を示した構成図。

第7図は、従来の画素部の構成図。

第8図は、アクティブマトリクスパネルの全体図。

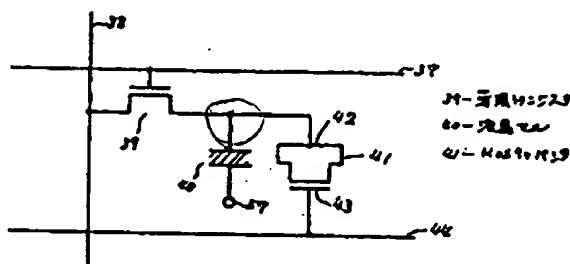
以上

出願人 株式会社蔵野精工舎  
代理人弁理士 長上 喜



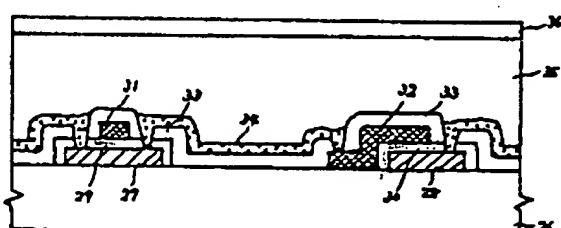
アクティブマトリクスピネル

第1図



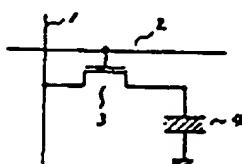
アクティブマトリクスピネル

第2図



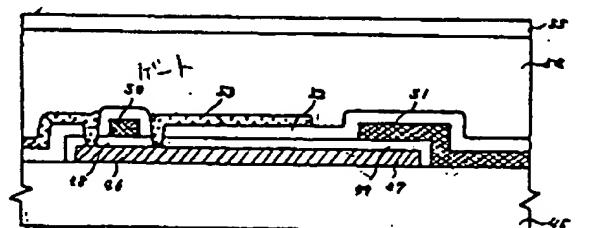
アクティブマトリクスピネル  
前回図 27.39-ガラス基板  
27.30-ゲート電極層  
27.31-有機層

第3図



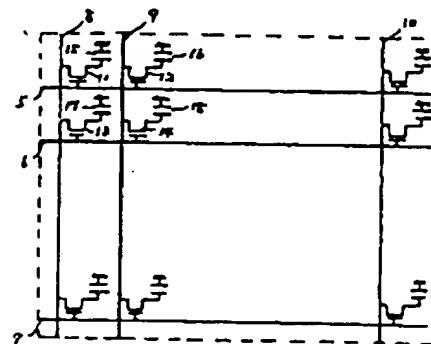
従来の画素部構成

第7図

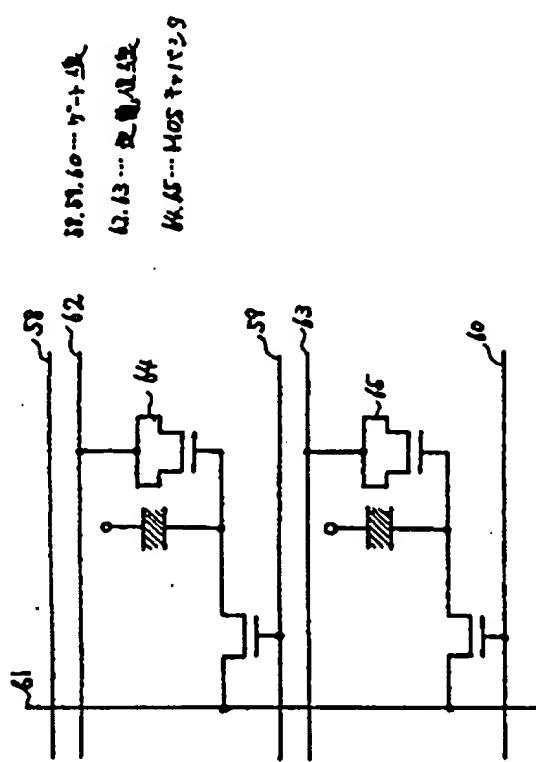


アクティブマトリクスピネル  
前回図  
41.47-ガラス基板  
42.48-ゲート電極層  
43.49-有機層

第4図

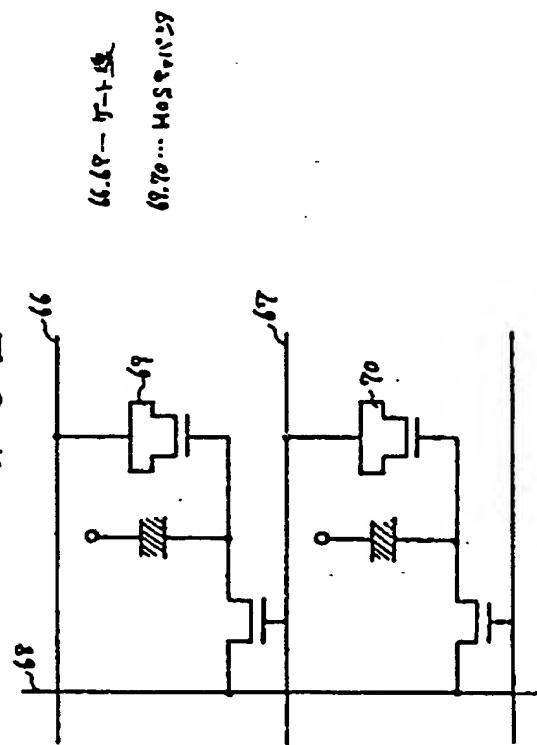


特開昭62-10619(5)



第5図

特開昭62-10619(5) 構成図



第6図

特開昭62-10619(5) 構成図

ABSTRACT

An active matrix panel

An active matrix panel with an MOS capacitor that is formed by the use of an insulating film with the same structure as that of the gate insulating film of TFT, said MOS capacitor being parallel to a capacitor provided by the liquid crystal cells forming said panel.

One electrode of the said MOS capacitor is connected to each of the picture element electrodes and the other electrode is connected to a gate wiring for picture elements or a line at a fixed potential level that is adjacent thereto in the longitudinal direction.